

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月 8日

出願番号

Application Number:

特願2002-231453

[ST.10/C]:

[JP2002-231453]

出願人

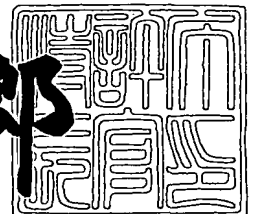
Applicant(s):

富士通株式会社

2003年 2月14日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3007240

【書類名】 特許願

【整理番号】 0240224

【提出日】 平成14年 8月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 G06K 19/07

【発明の名称】 試験工程を簡略化できるメモリカード及びメモリカード
の試験方法

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 古川 秀之

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【選任した代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒徳

【手数料の表示】

【予納台帳番号】 041380

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

特 2 0 0 2 - 2 3 1 4 5 3

【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】

明細書

【発明の名称】 試験工程を簡略化できるメモリカード及びメモリカードの試験方法

【特許請求の範囲】

【請求項 1】 メモリカードにおいて、

メモリチップと

前記メモリチップに接続され、データを一時的に記憶するバッファを有し、当該バッファを介して外部と前記メモリチップとの間でデータ転送を行うコントローラとを有し、

前記コントローラは、第 1 の動作モードでは、前記バッファ内のデータを前記メモリチップに転送した時に当該バッファ内のデータをクリアし、第 2 の動作モードでは、前記バッファ内のデータを前記メモリチップに転送した時に当該バッファ内のデータのクリアを行わないことを特徴とするメモリカード。

【請求項 2】 請求項 1 において、

前記コントローラは、外部からの書き込みコマンドに応答して、前記バッファ内のデータをメモリチップに転送することを特徴とするメモリカード。

【請求項 3】 請求項 1 において、

前記コントローラは、前記バッファ内のデータを前記メモリチップに転送する転送回路を有し、当該転送回路は、非反転モードの時に前記バッファ内のデータを反転せずにメモリチップに転送し、反転モードの時に前記バッファ内のデータを反転してメモリチップに転送することを特徴とするメモリカード。

【請求項 4】 メモリチップと、当該メモリチップに接続され、データを一時的に記憶するバッファを有し、当該バッファを介して外部と前記メモリチップとの間でデータ転送を行うコントローラとを有するメモリカードの試験方法において、

所定の書き込みデータをメモリカードに入力し、前記バッファ内に格納させる工程と、

書き込み先アドレスと書き込みコマンドをメモリカードに繰り返し入力し、前記バッファ内に格納された書き込みデータを、前記メモリチップ内の書き込み先

アドレスに書き込ませる工程とを有し、

前記書き込み工程では、前記バッファ内に格納された書き込みデータがメモリチップへ転送された時にクリアされないノンクリアモードに設定されることを特徴とするメモリカードの試験方法。

【請求項5】請求項4において、

1回の前記格納工程に対して、前記書き込み工程が、複数回繰り返されることを特徴とするメモリカードの試験方法。

【請求項6】メモリチップと、当該メモリチップに接続され、データを一時的に記憶するバッファを有し、当該バッファを介して外部と前記メモリチップとの間でデータ転送を行うコントローラとを有するメモリカードの試験方法において、

所定の書き込みデータをメモリカードに入力し、前記バッファ内に格納させる工程と、

第1群の書き込み先アドレスと書き込みコマンドをメモリカードに入力し、前記バッファ内に格納された書き込みデータを反転することなく、前記メモリチップ内の書き込み先アドレスに書き込ませる第1の書き込み工程と、

第2群の書き込み先アドレスと書き込みコマンドをメモリカードに入力し、前記バッファ内に格納された書き込みデータを反転して、前記メモリチップ内の書き込み先アドレスに書き込ませる第2の書き込み工程とを有し、

前記書き込み工程では、前記バッファ内に格納された書き込みデータがメモリチップへ転送された時にクリアされないノンクリアモードに設定されることを特徴とするメモリカードの試験方法。

【請求項7】請求項6において、

前記第1の書き込み工程と第2の書き込み工程とが交互に繰り返し行われることを特徴とするメモリカードの試験方法。

【請求項8】請求項6において、

前記第1の書き込み工程と第2の書き込み工程とが、それぞれ連続して繰り返し行われることを特徴とするメモリカードの試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリチップを内蔵したメモリカードに関し、試験工程を簡略化することができるメモリカードに関する。更に、本発明はメモリカードの試験方法に関する。

【0002】

【従来の技術】

メモリカードは、デジタルカメラなどのデータ格納用媒体として広く普及している。このようなメモリカードは、半導体不揮発性メモリであるフラッシュメモリが内蔵されている。また、フラッシュメモリへの入出力制御を行うために、メモリカードは、メモリチップに加えてコントローラチップを内蔵する。

【0003】

図1は、従来のメモリカードの構成図である。メモリカード101には、外部端子100を介して、デジタルカメラなどの外部装置104と接続される。そして、メモリカード101内には、メモリコア110と入出力バッファ109とを有するメモリチップ103と、そのメモリチップ103への書き込み、読み出し、消去などの制御を行うコントローラチップ102とが内蔵されている。

【0004】

メモリチップ103は、コマンド端子、アドレス端子、データ入出力端子、電源端子などの多くの外部端子107を有し、コントローラチップ102と接続される。一方、メモリカード101の外部端子100は、ノイズによるデータ反転エラーをなくすために、その端子数を少なくしなければならない。従って、コントローラチップ102は、外部装置104からの書き込みデータやアドレスを一旦バッファ105内に格納し、更に、それらデータやアドレスを外部装置104からの制御コマンドと共に、メモリチップ103に転送する。

【0005】

コントローラチップ102は、カードインターフェース111と、バッファ105と、メモリチップ103との転送を行う転送回路106と、バッファ105を制御するバッファコントローラ108とを有する。更に、コントローラチップ

102は、バッファ105に有効なデータやアドレスが格納されていることを示すバッファステータスレジスタ112を有する。

【0006】

従来のメモリカードの書き込み動作の一例は、次のとおりである。外部端子100を介して、データ転送コマンドと転送データとがシリアルに入力され、転送データがバッファ105に格納される。これを外部転送と称する。続いて、アドレス転送コマンドと転送アドレスとがシリアルに入力され、転送アドレスもバッファ105に格納される。バッファ105内に有効なデータが格納されたことに伴い、バッファコントローラ108は、バッファステータスレジスタ112のフラグを「1」にする。そして、メモリアクセスコマンドとそのアクセス内容を示す書き込みコマンドがシリアルに入力されると、バッファコントローラ108は、バッファステータスレジスタ112の有効フラグ「1」を確認して、バッファ105内の転送データと転送アドレスとを転送回路106を経由して、メモリチップ103の入出力バッファ109に転送する。これを内部転送と称する。この時、書き込みコマンドもメモリチップ103に転送される。その結果、メモリコア110へのデータ書き込みが完了する。内部転送が行われると、バッファコントローラ108によりバッファステータスレジスタ112のフラグが「0」にクリアされる。これにより、バッファ105内のデータはクリアされることになる。

【0007】

【発明が解決しようとする課題】

メモリカードに対して、出荷試験工程で、所定のデータを書き込み、そのデータが正しく読み出せるか否かをチェックすることが行われる。上記出荷試験では、不良に伴って読み出しエラーが発生しやすいデータを書き込む必要がある。例えば、隣接するビット線間のショート不良の検出を可能にするために、隣接するセルに反転するデータが書き込まれる。或いは、隣接する4つのセルに上下左右に反転するチェッカーパターンのデータが書き込まれる。

【0008】

しかしながら、前述のとおり、メモリカードの外部端子100の端子数は少な

く、そのようなバス幅が狭い外部端子を介して試験用データを書き込むには、長時間を要する。特に、近年のフラッシュメモリの高集積化、大容量化に伴い、メモリカードの記憶容量も大容量化する傾向にある。従って、試験パターンの書き込み工数が大きくなり、メモリカードのコストアップを招いている。

【 0 0 0 9 】

そこで、本発明の目的は、書き込み工数を軽減することができるメモリカードを提供することにある。

【 0 0 1 0 】

【課題を解決するための手段】

上記の目的を達成するために、本発明の一つの側面は、メモリチップとそれに接続され外部からのデータ転送を行うコントローラとを有するメモリカードにおいて、コントローラは、データを一時的に記憶するバッファを有し、コントローラは、第1の動作モードでは、バッファ内のデータをメモリチップに転送した時にバッファ内のデータをクリアし、第2の動作モードでは、バッファ内のデータをメモリチップに転送した時にバッファ内のデータのクリアを行わないことを特徴とする。

【 0 0 1 1 】

更に、上記発明の側面のより好ましい実施例では、コントローラは、更に、バッファ内のデータをメモリチップに転送する転送回路を有し、コントローラは、反転モードの時に、バッファ内のデータを反転してメモリチップに転送し、非反転モードの時に、バッファ内のデータを反転せずにメモリチップに転送することを特徴とする。

【 0 0 1 2 】

上記の発明によれば、外部から転送されたバッファ内のデータをメモリチップに内部転送した時に、バッファ内の転送済みデータがクリアされる第1のモードに加えて、クリアされない第2のモードを有することにより、試験工程での試験パターンを書き込む時、外部転送したデータを複数回内部転送してメモリチップに書き込むことができる。従って、毎回外部転送と内部転送とを繰り返す必要がなく、書き込み工数を減らすことができる。

【 0 0 1 3 】

また、上記の好ましい実施例によれば、コントローラに転送回路を設けて、転送モードと非転送モードのいずれかを選択できるようにしているので、一旦外部転送した試験パターンを、そのまま若しくは反転してメモリチップに内部転送できる。従って、試験パターンとしてよく利用されるチェッカパターンの試験パターンを、少ない工数でメモリチップに書き込むことができる。

【 0 0 1 4 】

上記の発明の好ましい実施例では、コントローラは、第1の動作モードと第2の動作モードが指定される第1のレジスタと、反転モードと非反転モードが指定される第2のレジスタとを有する。従って、外部からこれらのレジスタにモード設定することで、一旦外部転送でバッファ内に格納したデータを、そのまま又は反転してメモリチップに内部転送することができる。

【 0 0 1 5 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、本発明の保護範囲は、以下の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【 0 0 1 6 】

図2は、本実施の形態におけるメモリカードの概略的構成図である。図2には、図1と同じ構成要素には同じ引用番号を与えている。本実施の形態のメモリカード101は、コントローラチップ102内に、バッファ105内に有効なデータが格納されていることを示すバッファステータスレジスタ112に加えて、バッファ内のデータをメモリチップに内部転送した時に、バッファ内のデータをクリアするかしないかのモード設定を行うバッファクリアレジスタ113と、内部転送時にバッファ内のデータを反転するかしないかのモード設定を行う反転レジスタ114とを有する。更に、転送回路106は、反転レジスタ114の反転モードに応じて、内部転送されるデータを反転する機能を有する。

【 0 0 1 7 】

バッファクリアレジスタ113によって、内部転送後にバッファ105内のデ

ータをクリアするクリアモードと、クリアしないノンクリアモードとが設定可能である。従って、試験工程において、このレジスタ 1 1 3 をノンクリアモードにしておけば、最初に外部転送によって所定の書き込みデータを試験パターンとしてコントローラチップ 1 0 2 内のバッファ 1 0 5 に格納すれば、その後は、その格納した書き込みデータは内部転送してもクリアされないのので、アドレスを変更しながらその書き込みデータを複数回メモリチップ 1 0 3 に内部転送することができる。従って、従来のように外部転送と内部転送とを毎回繰り返す必要はない。

【 0 0 1 8 】

更に、反転レジスタ 1 1 4 によって、内部転送時に転送回路 1 0 6 がバッファ内のデータを反転しない非反転モードと、反転する反転モードとが設定可能である。従って、試験工程において、適宜、反転モードに設定することで、最初の外部転送によってバッファ内に格納した書き込みデータを、反転してメモリチップ 1 0 3 に内部転送することができる。従って、試験工程において、反転パターンを所定のアドレスに書き込む必要がある場合でも、外部転送を省略することができる。

【 0 0 1 9 】

図 3 は、NAND 型のフラッシュメモリのメモリコアの概略構成図である。メモリカードに内蔵されるメモリチップとして、フラッシュメモリが利用されることが多い。図 3 に示した NAND 型フラッシュメモリは、コラム方向に複数のビット線 BL0 ~ BL3 が設けられ、行方向に複数のワード線 WL0-0 ~ WLn-0、WL0-1 ~ WLn-1 が設けられる。そして、ワード線にはメモリセル MC が接続される。複数のメモリセル MC が縦列に接続されてセルストリングス CST を形成し、セルストリングス CST は、その選択信号 SG1-0、SG1-1 により導通するトランジスタを介して、ビット線に接続され、選択信号 SG2-0、SG2-1 により導通するトランジスタを介して、アレイ内グランド電圧 ARVSS に接続される。そして、各ビット線には、書き込みデータを一時的に格納し、ビット線電位を検出して読み出しデータを一時的に格納するページバッファ PB0 ~ PB3 が設けられる。

【 0 0 2 0 】

さて、出荷試験で検出される不良モードには、隣接するビット線間が短絡していたり、PN接合を介して短絡していたり、同様に、ワード線間が同様に短絡していたりする不良モードが多い。このような不良を検出するためには、隣接するメモリセルMCに反転パターンを書き込み、その反転パターンが正常に読み出せるか否かをチェックすることが有効である。即ち、隣接するメモリセルに対して、左右上下でそれぞれ反転するデータからなるチェックパターンを書き込み、それを読み出すことが有効である。

【 0 0 2 1 】

その場合、ページバッファやメモリセルとアドレスとの対応関係によるが、所定の試験パターンを、アドレスに応じてそのまま、若しくは反転して書き込むことが行われる。例えば、第1のアドレスでワード線WL0-0が選択され、全てのページバッファPBから書き込みデータがメモリセルに書き込まれる場合は、書き込みデータは「0101」であることが好ましい。このような書き込みデータにすることで、左右に隣接するメモリセルには、反転データが書き込まれ、従って、隣接するビット線間が短絡していた場合は、読み出しデータが異なることになり、そのような不良モードを検出することができる。また、第2のアドレスで隣接するワード線が選択されて、全てのページバッファPBから書き込みデータがメモリセルに書き込まれる場合は、上記の書き込みデータの反転パターンである「1010」であることが好ましい。これにより、上下に隣接するメモリセルには、反転データが書き込まれるので、隣接するワード線が短絡しているような不良モードを検出することができる。

【 0 0 2 2 】

また、別の対応関係では、第1のアドレスで偶数番目のページバッファPB0, PB2から書き込みデータが書き込まれ、第2のアドレスで奇数番目のページバッファPB1, PB3から書き込みデータが書き込まれる場合もある。その場合は、第1のアドレスに対して書き込みデータを例えば「00」とし、第2のアドレスに対しては書き込みデータを「11」にすることが好ましい。それにより、共通のワード線に接続されるメモリセルに対して、書き込みデータ「0101」を書き込むことができる。そして、ワード線の選択をずらしてからは、第1の

アドレスに対しては書き込みデータを「11」とし、第2のアドレスに対しては書き込みデータを「00」にすることで、チェッカパターンを書き込むことができる。

【0023】

このように、メモリアの構成に依存して、不良モードを検出可能な試験パターンが異なる。しかし、いずれの場合でも、所定の試験パターンを反転しながら異なるアドレスに書き込むことができれば、不良モードを検出することができる。

【0024】

図2のメモリカードに戻り、試験工程では、バッファクリアレジスタ113をノンクリアモードに設定し、所定の書き込みデータを外部転送でバッファ105内に転送し、その後は、アドレスに応じて反転レジスタ114を反転モードにしたり非反転モードにして、バッファ内の書き込みデータをメモリチップ103に内部転送することで、外部転送を省略し且つ不良モード検出に必要な試験パターンをメモリチップに内部転送することができる。

【0025】

図4は、本実施の形態におけるメモリカードの詳細な構成図である。ここでも、図2と同じ構成要素には同じ引用番号を与えている。図4のメモリカードは、図2のメモリカードの構成に加えて、コントローラチップ102に、コマンドコントローラ118と、メモリインターフェース116が設けられる。コマンドコントローラ118は、メモリアクセスコマンドに伴って供給される動作コマンドをデコードして、バッファコントローラ108に動作コマンドに応じた制御を行わせる。動作コマンドには、例えば書き込みコマンド、読み出しコマンド、消去コマンドなどがある。また、図4のメモリカードのメモリチップ103には、メモリインターフェース120と、動作制御を行う制御部121が設けられている。制御部121は、コントローラチップ102から供給される動作コマンドに応じて、メモリア110に対して対応する動作制御を行う。

【0026】

図4における通常の書き込み動作について説明する。まず、通常の書き込み動

作について説明する。デフォルト状態では、バッファクリアレジスタ113はクリアモードのフラグ「1」に、反転レジスタ114は非反転モードのフラグ「0」にそれぞれ設定されている。

【0027】

外部装置104から、データ転送コマンドと書き込みデータとが外部端子100を介してシリアルに入力されると、カードインターフェース111は、そのデータ転送コマンドを解釈して、書き込みデータをバッファ105に転送し格納する。同様に、アドレス転送コマンドと書き込み先アドレスとがシリアルに入力されると、カードインターフェース111は、そのアドレス転送コマンドを解釈して、書き込み先アドレスをバッファ105に転送し格納する。これに伴い、バッファコントローラ108は、バッファ105内に有効なデータ等が格納されたことを示すために、バッファクリアステータスレジスタ112を、有効のフラグ「1」に設定する。

【0028】

そして、メモリアクセスコマンドと書き込みコマンドとがシリアルに入力されると、カードインターフェース111がメモリアクセスコマンドを解釈して、書き込みコマンドをコマンドコントローラ118に転送する。コマンドコントローラ118は、書き込みコマンドを解釈して、バッファコントローラ108にバッファ105に格納された書き込みデータや書き込み先アドレスを、転送回路106、メモリインターフェース116を経由して、メモリチップ103に内部転送する。この時、転送回路106は、反転レジスタ114が非反転モードであることを確認して、書き込みデータを反転せずにメモリチップに転送する。この内部転送は、バス幅が大きな内部接続端子107を経由して行われる。また、この内部転送時に、書き込みコマンドもメモリチップ103に供給される。

【0029】

この内部転送に応答して、メモリチップ103の制御部121は、書き込みデータを書き込み先アドレスに書き込む制御を行う。バッファコントローラ108は、内部転送後、バッファクリアレジスタ113がクリアモードであることを確認して、バッファステータスレジスタ112を無効のフラグ「0」に変更して、

バッファ105内のデータやアドレスをクリアする。以上が通常書き込み動作である。

【0030】

次に、試験工程での書き込み動作について説明する。図5は、本実施の形態における試験工程での書き込み動作の第1の例を示すフローチャート図である。試験工程において、外部装置である試験装置からクリアレジスタ書き込みコマンドとレジスタデータ「0」を入力して、バッファコントローラ108により、バッファクリアレジスタ113をノンクリアモードの「0」に設定する(S401)。次に、外部装置からデータ転送コマンドと書き込みデータとをシリアルに入力して、書き込みデータをメモリカード101に外部転送する(S402)。これに応答して、カードインターフェース111は、書き込みデータをバッファ105に格納し、バッファコントローラ108は、バッファステータスレジスタ112を有効の「1」に設定する(S403)。この書き込みデータは、例えば「0101...」など、チェッカパターンデータである。

【0031】

外部装置は、反転レジスタ書き込みコマンドと非反転データ「0」をシリアルに入力して、バッファコントローラ108が、反転レジスタ114を非反転モードの「0」に設定する(S404)。そして、外部装置は、アドレス転送コマンドと書き込み先アドレスを入力し、書き込みアドレスをバッファ105に格納し、更に、メモリアクセスコマンドと書き込みコマンドとを入力する(S405)。この時の書き込みアドレスは、偶数アドレスである。具体的には、図3のワード線を選択する行アドレスに対して、全てのページバッファから全てのビット線に書き込みデータが供給されるものとする。

【0032】

書き込みコマンドが、コマンドコントローラ118により解釈され、バッファコントローラ108が、バッファステータスレジスタ112が有効「1」であることを確認して、バッファ105内の書き込みデータを転送回路106に転送する。転送回路106は、反転レジスタ114が非反転モード「0」であるので、書き込みデータを反転せずに、メモリインターフェース116から、メモリチップ

プ103に供給する。この時、書き込み先アドレスと書き込みコマンドもメモリチップ103に供給される。これに応答して、メモリチップ103は、書き込み先アドレスに書き込みデータを書き込む(S406)。

【0033】

上記のデータの内部転送後、バッファコントローラ108は、バッファクリアレジスタ113がノンクリアモードの「0」であることを確認して、バッファステータスレジスタ112の有効状態「1」を維持する。これにより、バッファ105内の書き込みデータはクリアされない(S407)。

【0034】

次に、外部装置から、反転レジスタ書き込みコマンドと反転データ「1」を入力し、反転レジスタ114を反転モードに設定する(S408)。そして、外部装置から、アドレス転送コマンドと奇数の書き込み先アドレスをシリアルに入力し、更に、メモリアクセスコマンドと書き込みコマンドとをシリアルに入力する(S409)。これに응答して、バッファコントローラ108は、バッファ105内の書き込みデータを転送回路106に出力する。転送回路は、反転レジスタ114が反転モードになっているので、書き込みデータを反転して、データ「1010…」をメモリインターフェース116からメモリチップ103に内部転送する。更に、書き込み先アドレスと書き込みコマンドも転送され、メモリチップでは、偶数の書き込みアドレスに、内部転送された書き込みデータを書き込む(S410)。内部転送後、バッファ105内の書き込みデータはクリアされない(S411)。

【0035】

上記の工程S404～S411が、最終アドレスまで繰り返される(S412)。以上の書き込み工程によれば、バス幅が狭い外部端子100を介して書き込みデータを転送する外部転送が、工程S402で一回行われるだけである。そして、その後書き込みアドレスと書き込みコマンドのみを繰り返しメモリカードに入力するだけで内部転送が行われるので、書き込み工程を短くすることができる。特に、書き込みデータは、アドレスやコマンドに比較してデータ量が大きいので、外部転送自体が工数を要し、書き込みデータの外部転送の繰り返しを回避す

ることで、大幅な工数削減になる。

【0036】

図6は、本実施の形態における試験工程での書き込み動作の第2の例を示すフローチャート図である。この例では、偶数アドレスの書き込みを繰り返し行い、その後に奇数アドレスの書き込みを繰り返し行う。それ以外は、第1の例と同じである。従って、図6の各工程には、図5と同じ工程番号が与えられている。

【0037】

まず、バッファクリアレジスタ113をノンクリアモード「0」に設定し（S401）、書き込みデータをメモリカードに転送し（S402）、そのデータをバッファ105に格納し（S403）、反転レジスタ114を非反転モード「0」にする（S404）までは、第1の例と同じである。

【0038】

そして、偶数の書き込みアドレスと書き込みコマンドを入力し（S405）、メモリチップに書き込みデータを転送して書き込み（S406）、バッファ105はクリアされない（S407）ことにより、一連の書き込み動作が、最終偶数アドレスになるまで繰り返される（S414）。そして、今度は、メモリカードの反転レジスタ114を反転モード「1」に設定した後（S408）、奇数アドレスに対する書き込み動作（S409, S410, S411）が最終奇数アドレスまで繰り返される（S415）。

【0039】

このように、第2の例では、偶数アドレスへの書き込みと奇数アドレスへの書き込みとを別々に行うことで、反転レジスタ114の設定工程を繰り返し行う必要がなくなり、更に書き込み工程の工数を減らすことができる。

【0040】

第1及び第2の書き込みの例では、書き込みアドレスを偶数アドレスと奇数アドレスとで分けて、一方を非反転モードで他方を反転モードでそれぞれ内部転送した。しかしながら、前述したとおり、メモリチップのメモリアの構成によっては、別のアドレス区分が有効の場合もある。その場合は、第1のアドレス群では、非反転モードで内部転送が行われ、第2のアドレス群では、反転モードで内

部転送が行われる。

【 0 0 4 1 】

更に、上記の実施の形態におけるコマンド体系は、一例であって、他のコマンドと転送データや転送アドレス形式であっても良い。

【 0 0 4 2 】

以上、実施の形態例をまとめると以下の付記の通りである。

【 0 0 4 3 】

(付記 1) メモリカードにおいて、
メモリチップと

前記メモリチップに接続され、データを一時的に記憶するバッファを有し、当該バッファを介して外部と前記メモリチップとの間でデータ転送を行うコントローラとを有し、

前記コントローラは、第 1 の動作モードでは、前記バッファ内のデータを前記メモリチップに転送した時に当該バッファ内のデータをクリアし、第 2 の動作モードでは、前記バッファ内のデータを前記メモリチップに転送した時に当該バッファ内のデータのクリアを行わないことを特徴とするメモリカード。

【 0 0 4 4 】

(付記 2) 付記 1 において、

前記コントローラは、外部からの書き込みコマンドに応答して、前記バッファ内のデータをメモリチップに転送することを特徴とするメモリカード。

【 0 0 4 5 】

(付記 3) 付記 1 において、

前記コントローラは、前記第 1 の動作モードと第 2 の動作モードとを設定するバッファクリアレジスタを有し、当該バッファクリアレジスタは、外部から設定可能であることを特徴とするメモリカード。

【 0 0 4 6 】

(付記 4) 付記 1 において、

前記コントローラは、前記バッファ内のデータを前記メモリチップに転送する転送回路を有し、当該転送回路は、非反転モードの時に前記バッファ内のデータ

を反転せずにメモリチップに転送し、反転モードの時に前記バッファ内のデータを反転してメモリチップに転送することを特徴とするメモリカード。

【 0 0 4 7 】

(付記 5) 付記 4 において、

前記コントローラは、前記反転モードと非反転モードとを設定する反転レジスタを有し、当該反転レジスタは、外部から設定可能であることを特徴とするメモリカード。

【 0 0 4 8 】

(付記 6) 付記 1 において、

前記コントローラに設けられた外部端子の数は、前記コントローラとメモリチップ間の接続端子の数よりも少ないことを特徴とするメモリカード。

【 0 0 4 9 】

(付記 7) メモリチップと、当該メモリチップに接続され、データを一時的に記憶するバッファを有し、当該バッファを介して外部と前記メモリチップとの間でデータ転送を行うコントローラとを有するメモリカードの試験方法において、

所定の書き込みデータをメモリカードに入力し、前記バッファ内に格納させる工程と、

書き込み先アドレスと書き込みコマンドをメモリカードに繰り返し入力し、前記バッファ内に格納された書き込みデータを、前記メモリチップ内の書き込み先アドレスに書き込ませる工程とを有し、

前記書き込み工程では、前記バッファ内に格納された書き込みデータがメモリチップへ転送された時にクリアされないノンクリアモードに設定されることを特徴とするメモリカードの試験方法。

【 0 0 5 0 】

(付記 8) 付記 7 において、

1 回の前記格納工程に対して、前記書き込み工程が、複数回繰り返されることを特徴とするメモリカードの試験方法。

【 0 0 5 1 】

(付記 9) メモリチップと、当該メモリチップに接続され、データを一時的に

記憶するバッファを有し、当該バッファを介して外部と前記メモリチップとの間でデータ転送を行うコントローラとを有するメモリカードの試験方法において、

所定の書き込みデータをメモリカードに入力し、前記バッファ内に格納させる工程と、

第 1 群の書き込み先アドレスと書き込みコマンドをメモリカードに入力し、前記バッファ内に格納された書き込みデータを反転することなく、前記メモリチップ内の書き込み先アドレスに書き込ませる第 1 の書き込み工程と、

第 2 群の書き込み先アドレスと書き込みコマンドをメモリカードに入力し、前記バッファ内に格納された書き込みデータを反転して、前記メモリチップ内の書き込み先アドレスに書き込ませる第 2 の書き込み工程とを有し、

前記書き込み工程では、前記バッファ内に格納された書き込みデータがメモリチップへ転送された時にクリアされないノンクリアモードに設定されることを特徴とするメモリカードの試験方法。

【 0 0 5 2 】

(付記 1 0) 付記 9 において、

前記第 1 の書き込み工程と第 2 の書き込み工程とが交互に繰り返し行われることを特徴とするメモリカードの試験方法。

【 0 0 5 3 】

(付記 1 1) 付記 9 において、

前記第 1 の書き込み工程と第 2 の書き込み工程とが、それぞれ連続して繰り返し行われることを特徴とするメモリカードの試験方法。

【 0 0 5 4 】

(付記 1 2) 付記 9 において、

前記第 1 の書き込み工程では、前記コントローラが非反転モードに設定され、前記第 2 の書き込み工程では、前記コントローラが反転モードに設定されることを特徴とするメモリカードの試験方法。

【 0 0 5 5 】

【発明の効果】

以上、本発明によれば、メモリカードの試験工程において、書き込み工数を削

減して、試験コストを削減することができる。

【図面の簡単な説明】

【図1】

従来のメモリカードの構成図である。

【図2】

本実施の形態におけるメモリカードの概略的構成図である

【図3】

NAND型のフラッシュメモリのメモリコアの概略構成図である。

【図4】

本実施の形態におけるメモリカードの詳細な構成図である。

【図5】

本実施の形態における試験工程での書き込み動作の第1の例を示すフローチャート図である。

【図6】

本実施の形態における試験工程での書き込み動作の第2の例を示すフローチャート図である。

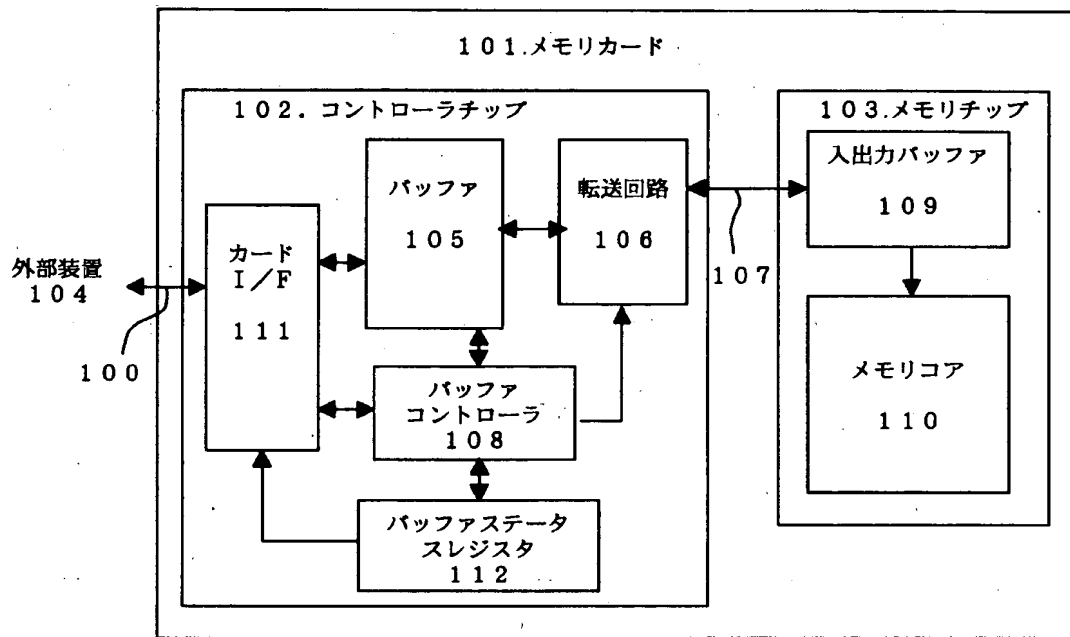
【符号の説明】

101	メモリカード
102	コントローラチップ
103	メモリチップ
104	外部装置
105	バッファ
106	転送回路

【書類名】 図面

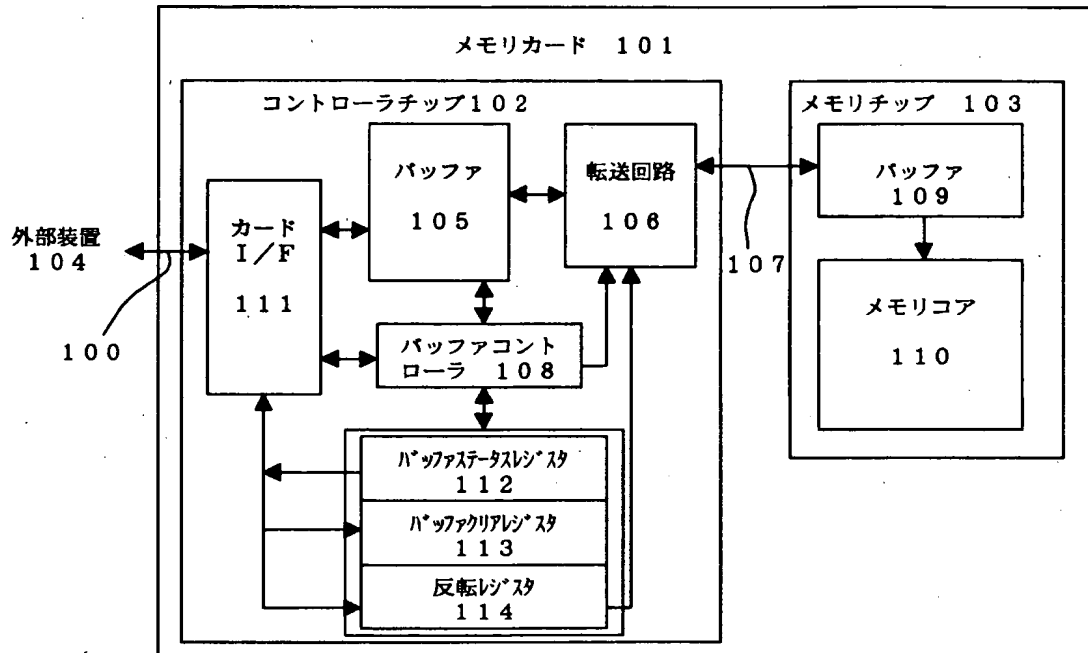
【図1】

従来例



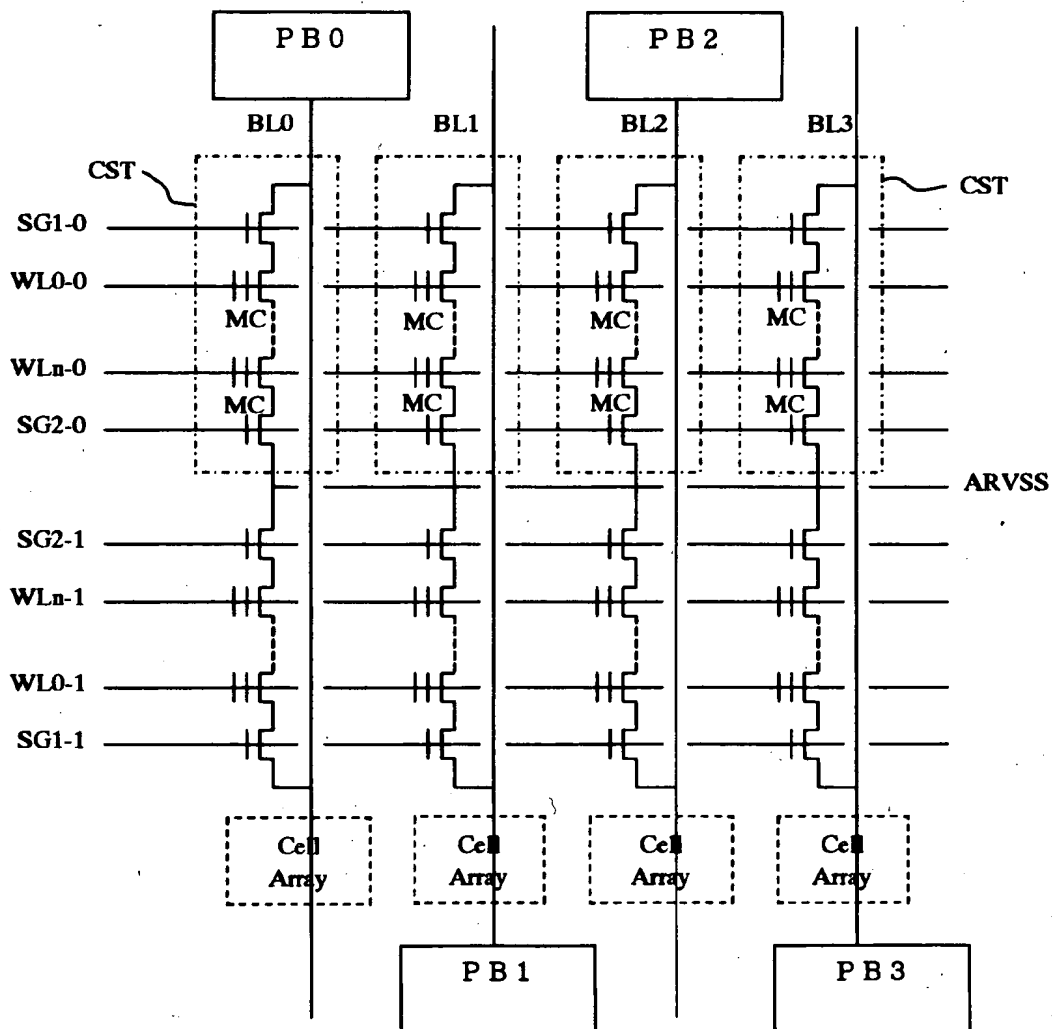
【図 2】

実施の形態のメモリカード



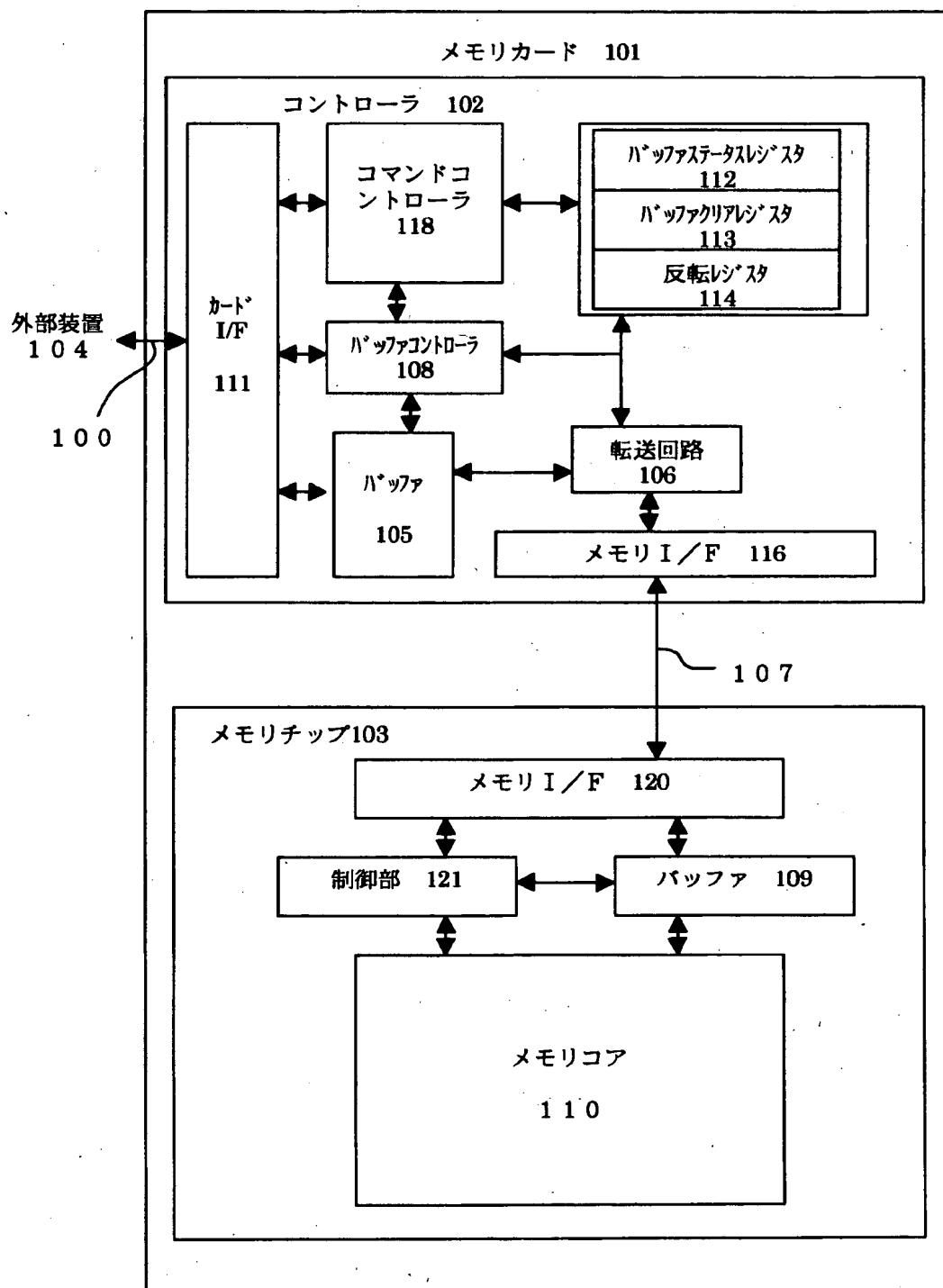
【図 3】

NAND型フラッシュメモリのメモリコア

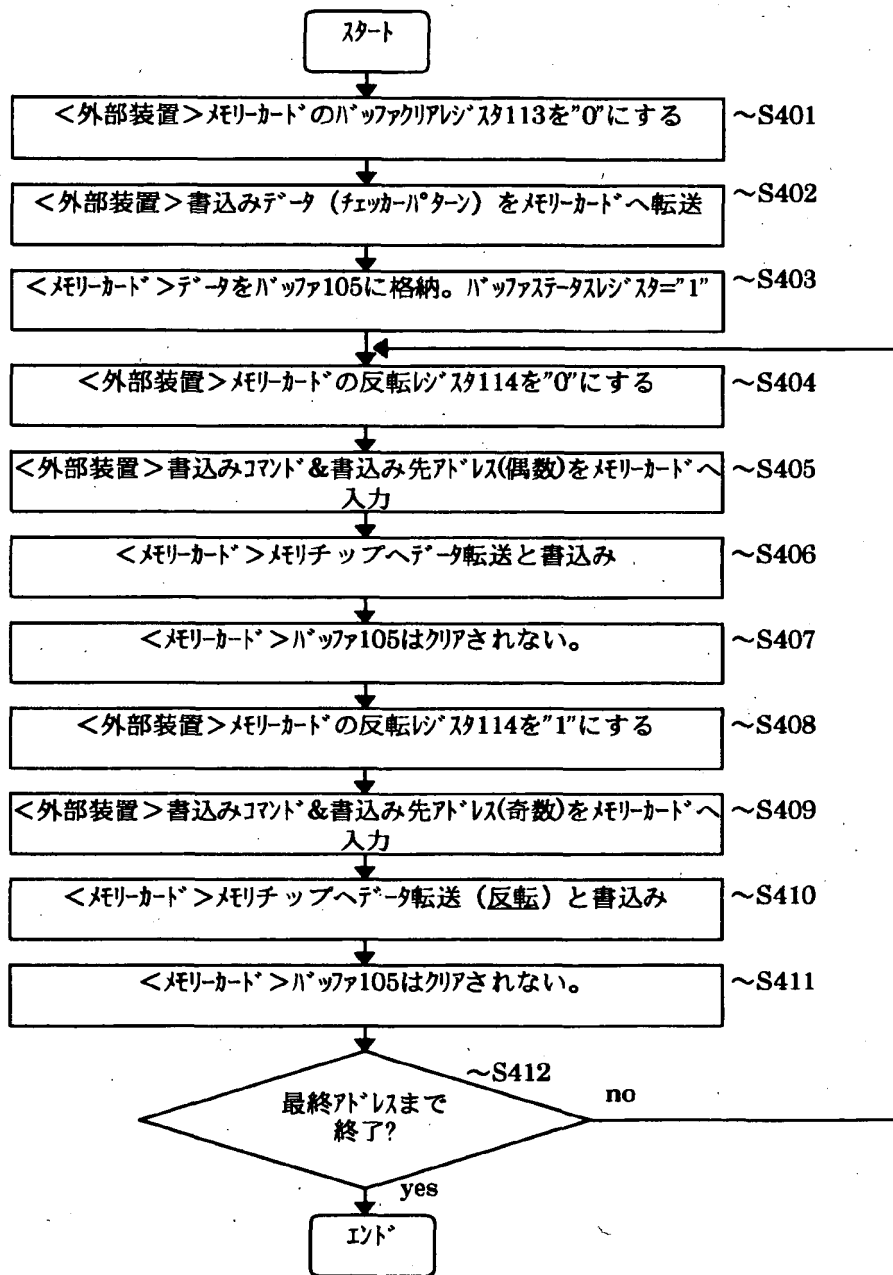


【図4】

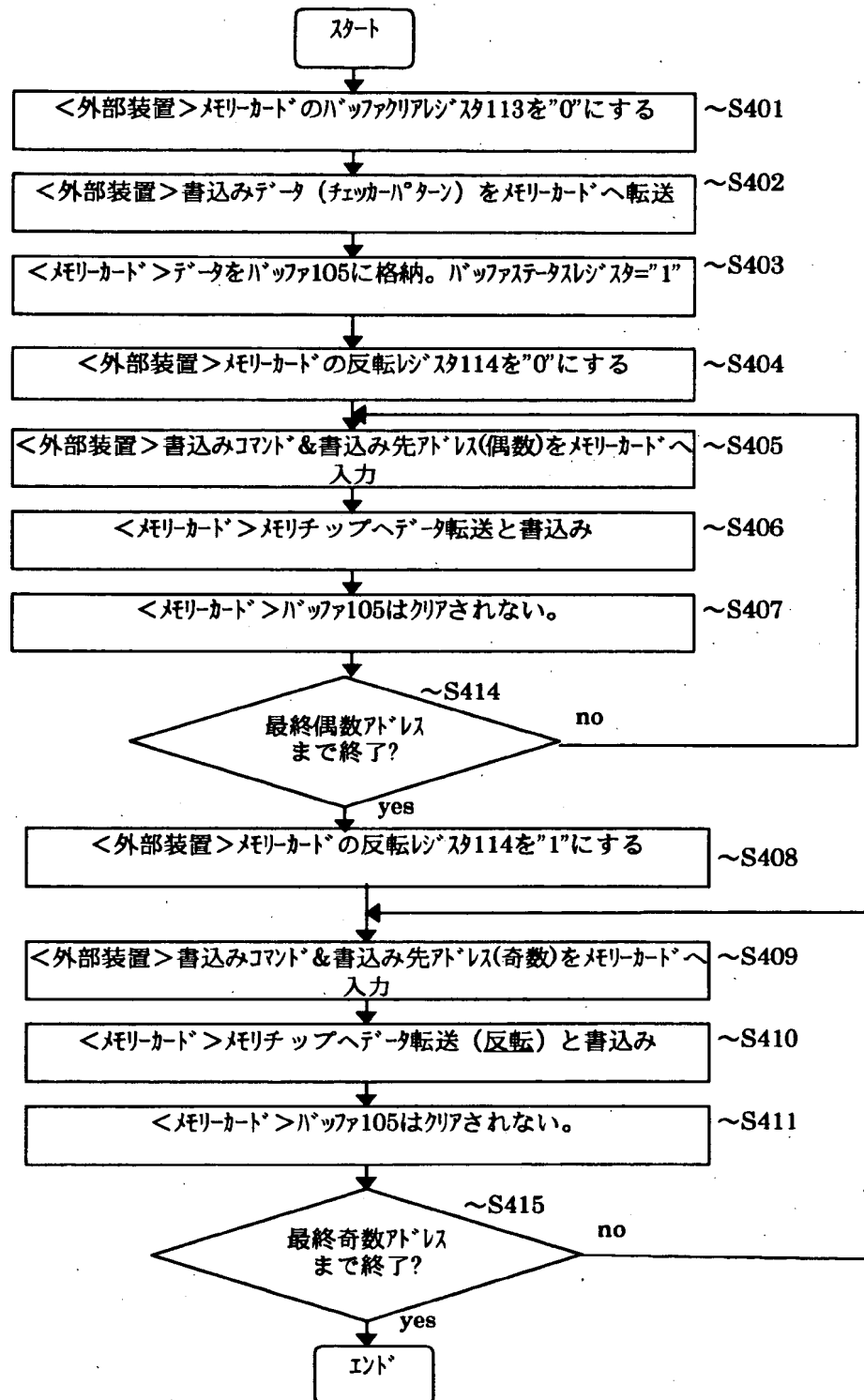
実施の形態のメモリカード



【図 5】



【図 6】



【書類名】

要約書

【要約】

【課題】メモ리카ードの試験工程において、書き込み工数を削減して、試験コストを削減する。

【解決手段】メモリチップ（103）とそれに接続され外部からのデータ転送を行うコントローラ（102）とを有するメモ리카ード（101）において、コントローラは、データを一時的に記憶するバッファ（105）を有し、コントローラは、第1の動作モードでは、バッファ内のデータをメモリチップに転送した時にバッファ内のデータをクリアし、第2の動作モードでは、バッファ内のデータをメモリチップに転送した時にバッファ内のデータのクリアを行わない。コントローラは、更に、バッファ内のデータをメモリチップに転送する転送回路を有し、コントローラは、反転モードの時に、バッファ内のデータを反転してメモリチップに転送し、非反転モードの時に、バッファ内のデータを反転せずにメモリチップに転送する。上記のメモリチップでは、外部からバッファ内へのデータ転送を1回行えば、その後のメモリチップへの内部転送時に外部転送を繰り返して行う必要はない。

【選択図】図2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社